

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078669  
 (43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-209555  
 (22)Date of filing : 02.09.1994

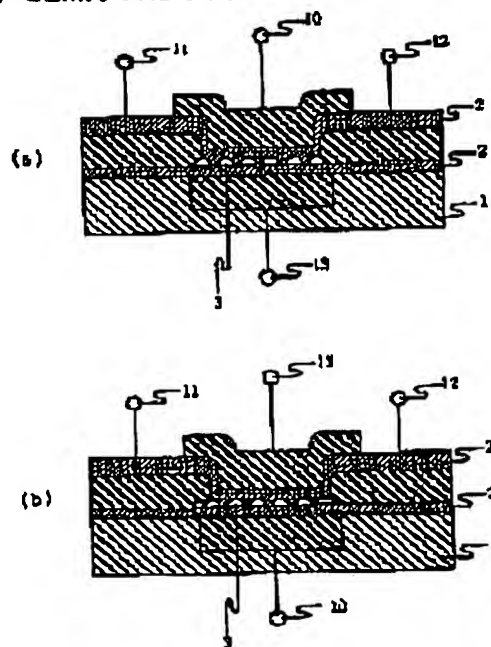
(71)Applicant : HITACHI LTD  
 (72)Inventor : SHIGENIWA MASAHIRO  
 NISHIDA AKIO  
 KATAYAMA KOZO  
 MURAKAMI HIDEKAZU  
 KIYOTA YUKIHIRO  
 YANO KAZUO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PURPOSE:** To materialize a high function and low-power-consumption LSI mandatory for portable electronics.

**CONSTITUTION:** One or plural pieces of conductive fin particles 3, 10nm or under (sub 10nm) in size are installed on an insulating film 2, and a source electrode 11 and a drain electrode 12 are arranged at both ends, and fine particles are buried under insulating material, and a gate electrode 10 being a control electrode is arranged. By the electric field by the gate electrode 10, the tunnel resistance between fine particles is changed, and the continuity/ discontinuity of the current between the source and the drain are switched over.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78669

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 J

審査請求 未請求 請求項の数6 O L (全12頁)

(21) 出願番号	特願平6-209555	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成6年(1994)9月2日	(72) 発明者	茂庭 昌弘 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	西田 彰男 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	片山 弘造 東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
		(74) 代理人	弁理士 小川 勝男

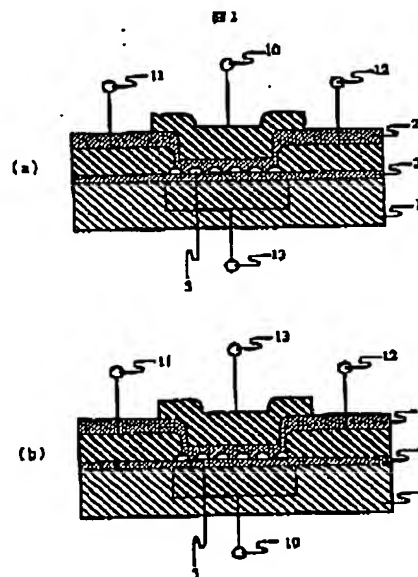
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

## (57) 【要約】

【構成】半導体装置は、絶縁膜2上に10nm以下（サブ10nm）のサイズの導電性の微小粒3を1個もしくは複数個設け、その両端にソース電極11、ドレイン電極12を配し、微小粒は絶縁性の材料で埋め込み、その上には制御電極であるゲート電極10を配する。ゲート電極10による電界によって、微小粒間のトンネル抵抗を変化させ、ソース・ドレイン間の電流導通/非導通を切り換える。

【効果】携帯用エレクトロニクスに必要な高機能、低消費電力のLSIを実現することが可能になる。



1...S1層 2...S1O2膜 3...干渉型S1結晶  
10...ゲート電極 11...ソース電極  
12...ドレイン電極 13...各電極位相

(2)

特開平 8-78669

## 【特許請求の範囲】

【請求項1】 絶縁物もしくは半導体よりなる第一の薄膜上に、ソース電極となる第一の電極およびドレイン電極となる第二の電極を有し、前記第一の電極と前記第二の電極間に1個または複数個の金属または半導体の半球形微小粒が空隙をもって配置されており、前記微小粒が絶縁物もしくは半導体よりなる平坦な第二の薄膜に埋め込まれて層をなし、前記第一の薄膜の下面あるいは前記第二の薄膜の上面にゲート電極となる第三の電極が設置されてあって、前記ゲート電極の電位により微小粒間の面内方向のポテンシャル障壁高さを変化させてトンネル抵抗を変調し、これにより、ソース／微小粒／ドレイン間を流れる電流を制御することを特徴とする半導体装置。

【請求項2】 請求項1において、第四の電極を、前記層を介して、前記ゲート電極と対向するように設置してある半導体装置。

【請求項3】 請求項1において、VSDをソース・ドレイン間電圧、Nをソース・ドレイン間方向に数えた前記微小粒の個数、eを素電荷量、Cを微小粒間の静電容量としたとき  $VSD > Ne / 2C$  におけるソース・ドレイン間のシート抵抗を、量子抵抗が6.45 キロオーム近傍でかつ6.45 キロオームより大きな値になるように設計し、ゲート電圧印加にともなうトンネル抵抗の変化によりシート抵抗を6.45 キロオームの前後に変調し、これによって生じる微小粒におけるクーロン・ブロッケイドのオン／オフ遷移現象を装置のスイッチ動作に用いる半導体装置。

【請求項4】 1個もしくは複数個の単結晶粒を用いる半導体装置の結晶粒の製造工程において、第1の材料を所望の温度に加熱しつつ第2の材料の構成元素のみよりなる原子もしくは分子を前記第1の材料上に気相から供給することにより、前記第1の材料の上に前記第2の材料よりなる結晶粒を形成することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4において、前記第2の材料の構成元素の地積が、真空中の原子・分子ビーム輸送により行われる結晶粒の形成方法。

【請求項6】 請求項4において、前記第2の材料がSiであり、第1の材料がSiO<sub>2</sub>である半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、1個もしくは複数個の結晶粒をスイッチ部として用いる半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 ポケット電話、ポケットコンピュータなどの携帯用エレクトロニクスの時代を迎えつつある現在、その心臓部である大規模集積回路 (Large Scale Integrated Circuit; LSI) は、高い性能を提供する超高

集積化と、電池を電源に使える低消費電力化の二つが同時に求められている。低消費電力化は、具体的には、微小論理振幅で動作するスイッチング素子、微小電荷量で記憶するメモリ素子などの開発である。

【0003】 これらの要請は定性的にはこれまでもあったもので、素子を微細化することでこれらにこたえてきた。しかし、微細化は従来の素子の動作原理の限界と自される0.1 μmの世界に足を踏み入れようとしている。今後は、新しい動作原理の素子を発明し、それを用いて微細化を進めて行かなければならない。また、そのための新しい素子製造技術が必要である。

## 【0004】

【発明が解決しようとする課題】 本発明の目的は、0.1 μm以下のスケールでも通用する動作原理の素子を提供し、また、その製造方法を提供し、超高集積で低消費電力なLSIの実現を可能ならしめることにある。

## 【0005】

【課題を解決するための手段】 本発明の半導体装置は、0.1 μm以下のスケールでありながら無理なく動作する素子を提供するために、0.1 μm以下のスケールで得られる物理現象を動作原理として用いる。その動作原理とは、極微小な粒で得られるクーロン・ブロッケイドの利用である。

【0006】 図1に示すように、絶縁膜上に10 nm以下 (サブ10 nm) のサイズの導電性の微小粒を1個もしくは複数個設置し、その両端にソース電極、ドレイン電極を配し、微小粒は絶縁性の材料で埋め込み、その上には制御電極であるゲート電極を配した構造とする。ただし、各微小粒間の間隔は、電子がトンネルによって流れる程度とし、微小粒間の静電容量Cは  $(e * e) / 2kT$  より充分小さくするようにする。また、ゲート電極と微小粒との間の静電容量は、Cより小さくするようにしておく。微小粒よりなる超薄膜のシート抵抗は、N個の微小粒間に  $Ne / 2C$  より高い電圧を印加したときに  $h / 4 (e * e)$  より大きくなるように調整しておく。ゲート電極による電界によって、微小粒間のトンネル抵抗を変化させ、ソース・ドレイン間の電流導通／非導通を切り換える。

【0007】 本発明の製造方法は、これら量子効果素子の心臓部である微小粒の形成方法に関するもので、微小粒を乗せる絶縁膜を所望の温度に加熱しつつ、これに、微小粒の構成元素からなる原子もしくは分子を気相中から供給する。

## 【0008】

【作用】 まず、本発明の半導体装置における作用について説明し、その後、本発明の製造方法における作用に関して説明する。

【0009】 本発明の微小粒を用いたスイッチング素子は、その動作原理に、クーロン・ブロッケイドを利用している。クーロン・ブロッケイドとは、ある物体に電荷

(3)

特開平8-78669

3

を付与する（帯電させる）には帯電によって物体に生じる静電エネルギーに相当するだけの電圧を印加しなければならない効果のことである。例えば、電子1個を帯電させるには電子1個によって生じる静電エネルギーに相当する電圧印加が必要で、それより小さい電圧に対しては物体は電子を拒絶（ブロック）する。2個目、3個目…の帯電に対しても同様で、それぞれ対応する電圧値が離散的に決まっている。

【0010】このことは、これらの電圧値を用いて素子を動作させれば、電子を一つ一つ離散的に扱えることを意味している。但し、これまでのエレクトロニクスが扱ってきた素子のサイズでは、電子1個の帯電による静電エネルギーの増量（ $e * e$ ）／ $2C$ がたいへん小さく、室温の熱エネルギー $kT$ （ $T=300K$ ）に埋もれてしまって、この効果を利用することはできない。物体のサイズが10nm以下（サブ10nm）の極めて小さな領域でのみ、 $C$ の減少によって（ $e * e$ ）／ $2C$ が $kT$ （ $T=300K$ ）より充分大きくなることから、この効果を素子に利用できる。

【0011】本発明の素子は、クーロン・ブロッケイド状態と非クーロン・ブロッケイド状態を遷移させることにより微小論理振幅のスイッチング動作を行う。以下にその詳細を説明する。

【0012】図1に示すように、複数の導電性微小粒を絶縁膜上に配し、かつ、それらの間隔を3nm以下にしておくと、それらの間にはトンネル電流が流れることが期待される。

【0013】ただし、トンネル抵抗 $R$ が量子抵抗 $h/4(e * e)$ よりも大きい場合には、ケイ・ケイ・リカレフ（アイビーエム・ジャーナル・オブ・リサーチ・アンド・ディベロップメント、第32巻1988年第1号144頁）によって指摘されているように、粒のサイズが小さく、微小粒間の静電容量が小さくなると、微小粒中の1個の電子の静電エネルギー（ $e * e$ ）／ $2C$ が熱エネルギー $kT$ （ $T=300K$ ）より大きくなってクーロン・ブロッケイド効果が顕在化し、 $V < e/2C$ （クーロン・ギャップ）のバイアス範囲において、トンネル電流は遮断される。端子間方向に $N$ 個の微小粒がある場合には、ユー・ガイゲンミューラーとジー・シェーンらによって論じられているように（ユーロフィジックス・レターズ第10巻1989年第8号765頁）、 $V < Ne/2C$ のバイアス範囲においてこの電流は遮断される。

【0014】 $R < h/4(e * e)$ の場合には、荷電状態の量子ゆらぎが増大するため電子は微小粒中に局在できずに、即ち、微小粒相互の波動関数の重なり合いが多くなって微小粒群が突効的に一体化するため、クーロン・ブロッケイドは破れて、 $V < Ne/2C$ のバイアス範囲においても電流が流れるようになる。

【0015】そこで、本発明のスイッチング素子は、ゲート電圧によりトンネル障壁の障壁高さを変化させ、ト

4

ンネル抵抗を量子抵抗の前後に変調する。これにより、微小粒群よりなるチャネル部においてクーロン・ブロッケイドをオン／オフし、ソース・ドレイン間の導通をオン／オフするものである。

【0016】トンネル障壁の障壁高さの制御は、以下に述べる作用にて行う。ゲート電極に電圧を印加すれば、ゲート電極と接地電極の間で電位は、微小粒のない領域では図3(a)に示すように直線的に変化する。この時、微小粒のある領域では電極間で、図3(b)に示すように電位変化が生じる。微小粒の存在により電位変化が歪んでいる。導電性の微小粒で電界が緩和され、そのぶん両端の絶縁性の膜における電界強度が増加した。両者を重ねあわせて描けば、図3(c)に示すようになる。矢印で示すように、微小粒の端部における電子エネルギーは、隣接する微小粒のない領域に比べ相対的に高い。すなわち、微小粒の端部で、絶縁性の膜によるポテンシャル障壁（トンネル障壁）が低下した。このようにして、本発明のスイッチング素子は、ゲート電圧により、微小粒間のトンネル障壁を変化（低下）させる。

【0017】トンネル障壁高さが減少すれば、図4に示すように、トンネル確率は指数関数的に増加、即ち、トンネル抵抗は指数関数的に減少する。この図は、ポテンシャル障壁を矩形で近似し1次元のシュレディンガー（Schrodinger）の波動方程式を解いたものである。なお、実際の動作条件では、ソース・ドレイン間に電圧がかかるので、図5(a)に示すように障壁の上部が三角形に薄くなり、さらに競像効果も働くので、トンネル確率はこれより大きくなると考えられる。また、例えば、水素化アモルファスSi（エネルギー・ギャップ；1.8eV）など障壁高さの低い膜をトンネル障壁に用いた場合は、図5(b)に示すように、ソース・ドレイン間電圧により障壁が三角形になる。

【0018】ゲート電圧によるトンネル抵抗の変化は、図6に示すようにファウラー・ノルドハイム電流の変化として計算することができるが、この場合も指数関数的に減少する。即ち、いずれにしても、トンネル障壁のわずかな変化によってトンネル抵抗は敏感に変化する。

【0019】このトンネル抵抗の変化域を量子抵抗をまたがるように設定しておけば、チャネルで、ゲートのわずかな電圧振幅により、クーロン・ブロッケイド／非クーロン・ブロッケイド遷移を起こすことができ、小さな論理振幅でオン／オフするスイッチング素子を実現できる。

【0020】次に、本発明の製造方法における作用に関し、説明する。微小粒を用いた量子効果素子の作製を考えた場合、新たに必要な製造技術は、微小粒を、特に粒径に関し精度よく形成する方法である。その他の、例えば電極の形成等は、従来技術の高度化で対応できる。

【0021】本発明の製造方法は、微小粒を乗せる絶縁膜を所望の精度に加熱しつつ、これに、微小粒の構成元

(4)

特開平8-78669

5

素からなる原子もしくは分子を気相中から供給する。絶縁膜を昇温しておくことにより、膜上に供給した構成元素に熱エネルギーを与え、膜上移動（マイグレーション）、マイグレーションの結果としての出会ったSiどうしの凝集を可能にする。微小粒の構成元素の供給をその元素よりなる原子・分子の形で行うことにより、粒径の基板温度依存性を小さくすることができる。

【0022】一例として、原料純度、パッシベーション、加工技術体系の充実などの点から量子効果素子用の材料としても大いに期待されるSiで微小粒を形成する場合の粒径の基板温度依存性を図2に示す。縦軸はマイグレーション長であるが、マイグレーションが終了した時点で凝集が生じSi粒が発生するので、マイグレーション長はおおよそSi粒の発生間隔に相当し、間隔いっばいにSi粒を成長させたときの粒径にも相当する。

【0023】さて、 $SiH_x$ などの化合物として供給すると、 $SiH_x$ を基板上でSiとそれ以外に分解するためのエネルギーが必要なため、活性化エネルギーが約3.5 eVと大きくなり、粒径の温度依存性は図2に示すように顕著になる。したがって、この場合は、微小粒形成中のわずかな温度ゆらぎで粒径が変化してしまう。一方、分子ビーム堆積法でSiを原子の形で供給すれば、分解の必要がなくなるため、活性化エネルギーは約0.1 eVと小さくなり、温度ゆらぎの影響が低減でき、精度よく微小粒が形成できる。

【0024】マイグレーション長は、図2よりわかるように、マイグレーション種の供給速度（堆積速度）を変えることによってコントロールすることができる。供給速度（堆積速度）を上げれば、単位面積当たりに存在するマイグレーション種の数が増加し、互いに出会う確率が増加する。わずかの移動で他のマイグレーション種と合体し凝集体となってマイグレーションが終了するので、マイグレーション長が短くなる。

【0025】

【実施例】

（実施例1）本発明の製造方法を用いて、本発明の半導体装置、即ち、Si微小粒をチャネルに使ったスイッチング素子を作製した例について述べる。

【0026】抵抗率 $0.003 \Omega \text{cm}$ の低抵抗Siウェハ1を用い、通常の選択酸化法により、素子形成領域以外の表面に厚さ250nmの酸化膜を形成し、素子分離領域とした（図7（a））。次に、このウェハを酸素雰囲気中で熱処理し、素子形成領域の表面に厚さ4nmの $SiO_2$ 膜2を形成した（図7（b））。これを超高真空槽に導入して600℃に加熱し、この温度に保持しながら、電子ビーム蒸着法により、基板の $SiO_2$ 膜2表面へ $0.04 \text{ nm/s}$ の堆積速度でSi原子を供給した。これにより、 $SiO_2$ 膜2上に直径6nm、高さ3nmの半球形Si結晶粒3を2nmの間隔で形成した（図7（c））。

6

【0027】ついで、 $SiH_4$ 、 $O_2$ 、 $PH_3$ 、 $B_2H_6$ を原料ガスに用いた化学気相堆積法（Chemical Vapor Deposition; CVD）によりボロン／リン添加ガラス4を堆積し、これを800℃の熱処理によるリフローで表面を平坦化し、半球形Si結晶粒3のないところで厚さ7nm、あるところで厚さ4nmとした（図8（a））。

【0028】この上に、低抵抗の多結晶Si5をCVD法により堆積し、マスクを用いたドライエッチングによりゲート電極6の形状に成形した（図8（B））。

10 【0029】この後、 $SiH_4$ とアンモニア・ガスを原料ガスに用いたCVDにより $Si_3N_4$ 膜7を堆積した（図8（c））。これに異方性のドライエッチングをかけ、ゲート電極6の側壁部に付着した一部の $Si_3N_4$ 7を除き、 $Si_3N_4$ 膜7を除去した（図9（a））。酸素雰囲気中で800℃の熱処理することにより、Si露出部を酸化した（図9（b））。この時、酸化膜2中にも酸素が少々進入するため、薄い酸化膜で覆われたSi微小粒3や、その下方のSi基板1の一部も酸化される。ゲート電極6下のSi微小粒3は、ゲート電極6がマスクとして作用するので、酸化されない。この試料を低濃度水溶液に浸して $SiO_2$ 2を軽くエッチングし、図9（c）に示す構造とした。

20 【0030】再び、低抵抗の多結晶Si5をCVD法により堆積し、マスクを用いたドライエッチングによりソース電極8、ドレイン電極9に成形した（図10（a））。この後、集積回路の製造工程で通常に用いられる配線及びパッシベーション膜形成技術を用いて、ゲート、ソース、ドレインの配線を形成し、また、基板裏面にオーム性接触の電極を形成し、それぞれ、ゲート端子10、ソース端子11、ドレイン端子12、基板電位端子13とした（図10（b））。

30 【0031】基板電位端子13およびソース端子11を接地し、ゲート端子10に負、ドレイン端子12に正の電圧を印加してこの半導体装置の動作を調べたところ、0.21Vのわずかなゲート電圧振幅でドレイン電流がオン／オフし、所望の微小論理振幅の半導体装置が得られたことを確認した。

40 【0032】（実施例2）本発明の製造方法を用いて、本発明の半導体装置、即ち、Si微小粒をチャネルに使ったスイッチング素子を作製した例について述べる。石英（ $SiO_2$ ）基板上に形成した点が、半導体（Si）基板上に形成した実施例1との違いである。

50 【0033】厚さ0.5mmの石英（ $SiO_2$ ）ウェハ14上に、低抵抗の多結晶Si5をCVD法により堆積し、マスクを用いたドライエッチングにより、ゲート電極6に成形した。この上に、 $SiH_4$ 、 $O_2$ を原料ガスに用いたCVDにより、 $SiO_2$ 膜2を厚さ300nm堆積し、マスクを用いたドライエッチングで一部これを除去してここを素子形成領域とし、他を素子分離領域とした（図11（a））。次に、再びCVD法により厚さ4nm

(5)

特開平8-78669

7

mのSiO<sub>2</sub>膜2を堆積した(図11(b))。これを超高真空槽に導入して600℃に加熱し、この温度に保持しながら、電子ビーム蒸着法により、基板のSiO<sub>2</sub>膜2表面へ0.04nm/sの堆積速度でSi原子を供給した。これにより、SiO<sub>2</sub>膜2上に直径6nm、高さ3nmの半球形Si結晶粒3を2nmの間隔で形成した(図11(c))。

【0034】この上に、SiH<sub>4</sub>とアンモニア・ガスを原料ガスに用いたCVDによりSi<sub>3</sub>N<sub>4</sub>膜7を堆積した(図12(a))。マスクを用いた異方性のドライエッチングにより、このSi<sub>3</sub>N<sub>4</sub>膜7の一部を局部的に除去し、図12(b)に示すようにゲート電極6の両脇に開口部を形成した。その後、再び、低抵抗の多結晶Si5をCVD法により堆積し、マスクを用いたドライエッチングによりソース電極8、ドレイン電極9に成形した(図12(c))。

【0035】この後、集積回路の製造工程で通常に用いられる配線及びパッシベーション膜形成技術を用いて、ゲート、ソース、ドレインの配線を形成し、それぞれ、ゲート端子10、ソース端子11、ドレイン端子12とした(図13)。

【0036】ソース端子11を接地し、ゲート端子10に正、ドレイン端子12に正の電圧を印加してこの半導体装置の動作を調べたところ、0.27Vのわずかなゲート電圧振幅でドレイン電流がオン/オフし、所望の微小論理振幅の半導体装置が得られたことを確認した。

【0037】実施例1では基板電位の電極を設け、ゲートから見たチャネルの裏側の電位を接地電位に固定した。本実施例では、このようなチャネル裏面の電位を制御する電極を設けていないが、この場合でもチャネル裏面直近では、実施例1の素子同様に、電気力線がチャネル面から垂直に出ているので、特に問題はない。但し、周囲電界の影響を受けやすくなっているため、高度な信頼性が求められる応用では裏面電位の制御電極を設置することがのぞましい。

【0038】なお、本実施例で示したように、本発明の半導体装置は、基板材料を特に選ばず、ガラス基板、SiCやダイヤモンドなど高熱伝導率の絶縁基板、あるいは異種半導体、更に金属基板上に形成することも可能である。超高集積メモリはもちろんのこと、フラットパネル・ディスプレイ、GaAs等の発光材料基板を用いた光/電気LSI等、多様な用途が考えられる。

【0039】(実施例9)本発明の製造方法を用いて、本発明の半導体装置、即ち、Si微小粒をチャネルに使ったスイッチング素子を作製した例について述べる。ソース・ドレインの作製を、チャネル、ゲートの作製に先だって行った点が、チャネルから作製を始めた実施例1との違いである。

【0040】抵抗率0.003Ωcmの低抵抗Siウエハ1を用い、通常の選択酸化法により、素子形成領域以外

8

の表面に厚さ250nmの酸化膜を形成し、素子分離領域とした(図7(a))。次に、このウエハを酸素雰囲気中で熱処理し、素子形成領域の表面に厚さ4nmのSiO<sub>2</sub>膜2を形成した(図7(b))。この上に、CVD法により厚さ100nmのタングステン膜18を堆積し、これをマスクを用いたドライ・エッチングにより図14(a)に示すようにパターンニングした。これらは最終的にはそれぞれソース、ドレインとして用いる。

【0041】試料を超高真空槽に導入して600℃に加熱し、この温度に保持しながら、電子ビーム蒸着法により、基板のSiO<sub>2</sub>膜2表面へ0.04nm/sの堆積速度でSi原子を供給した。これにより、試料表面に直径6nm、高さ3nmの半球形Si結晶粒3を2nmの間隔で形成した。その後、SiH<sub>4</sub>、O<sub>2</sub>、PH<sub>3</sub>、B<sub>2</sub>H<sub>6</sub>を原料ガスに用いた化学気相堆積法によりボロン/リン添加ガラス4を堆積し、これを800℃の熱処理によるリフローで表面を平坦化し、半球形Si結晶粒3のないところで厚さ7nm、あるところで厚さ4nmとした(図14(b))。

【0042】再び、タングステン膜18をCVD法により堆積し、マスクを用いたドライエッチングでゲート電極6の形状に成形した(図14(c))。

【0043】層間絶縁膜としてSiO<sub>2</sub>膜2をCVD法により堆積し(図15(a))、集積回路の製造工程で通常に行われるとおり、配線(図15(b))及びパッシベーション膜形成を行い(図15(c))、ゲート端子10、ソース端子11、ドレイン端子12、基板電位端子13を形成した(図15(c))。

【0044】基板電位端子13およびソース端子11を接地し、ゲート端子10に負、ドレイン端子12に正の電圧を印加してこの半導体装置の動作を調べたところ、実施例1と同様、わずかなゲート電圧振幅でドレイン電流がオン/オフし、所望の微小論理振幅の半導体装置が得られたことが確認できた。

【0045】(実施例4)本発明の製造方法を用いて、Si微小粒を記憶情報格納部に使ったメモリ素子を作製した例について述べる。ここで述べるメモリ素子は、特願平5-291638号明細書に示された半導体装置であり、その構成は図16に示すとおりである。構造の大略は、Si-LSiで広く用いられているMOS(Metal-Oxide-Semiconductor)型FET(Field-Effect-Transistor)と共通する。このメモリ素子の構造上の特徴は、ゲート酸化膜中に、サブ10nmサイズの微小な導電性材料の粒が、多数、シート状に挿入されていることである。ゲート電圧によって、電子をチャネルから微小粒に注入したり、引き抜いたりする。微小粒における電子の有無でチャネルの電位が変わるので、これを記憶の1、0に対応させる。微小粒がサブ10nmサイズなので、クーロン・ブロッケイドが生じ、電子は1個ずつ出入りする。即ち、1電子メモリが可能で、超低消費電力で動

(6)

特開平8-78669

9

作する。

【0046】抵抗率 $10\Omega\text{cm}$ 、導電型p型のSiウェハ1上に、通常の選択酸化法を用いて素子分離領域を形成した。さらに、熱酸化法により、素子形成領域の表面に厚さ $5\text{nm}$ の $\text{SiO}_2$ 膜2を形成した。これを超高真空槽に導入して $800^\circ\text{C}$ に加熱し、この温度に保持しながら、電子ビーム蒸着法により、基板の $\text{SiO}_2$ 膜2表面へ $0.04\text{nm/s}$ の堆積速度でSi原子を供給した。これにより、 $\text{SiO}_2$ 膜2上に直径 $6\text{nm}$ 、高さ $3\text{nm}$ の半球形Si結晶粒3を $4\text{nm}$ の間隔で形成した(図17(a))。この上に、 $\text{SiH}_4$ 、 $\text{O}_2$ を原料ガスに用いたCVDで、厚さ $10\text{nm}$ の $\text{SiO}_2$ 膜2を、さらにその上に $\text{SiH}_4$ を用いたCVDで低抵抗の多結晶Si5を堆積した。ここで、マスクを用いたエッチングを行い、図17(b)に示すように、ゲート電極6の成形を行った。次に、熱酸化法により、Siの露出部を酸化した(図17(c))。これにAsイオン15を打ち込み、ソース領域16、ドレイン領域17を形成した(図18(a))。このとき、厚い酸化膜2や、ゲート電極6の下にまでは、イオンは到達しない。これらが、イオン打ち込みのマスクとして働くからである。試料を $900^\circ\text{C}$ で熱処理し、打ち込みにより生じたSi基板の損傷の回復と、Asの電気的活性化を行った。その後、CVD法により $\text{SiO}_2$ 膜2を堆積し(図18(b))、マスクを用いたドライ・エッチングによりソース領域16、ドレイン領域17に対するコンタクト・ホールを開口した。これに、CVDにより低抵抗多結晶Si5を堆積し、マスクを用いたエッチングを行って、これをソース電極16、ドレイン電極17に成形した(図19(a))。この後、集積回路の製造工程で通常に用いられる配線及びパッシベーション膜形成技術を用いて、ゲート、ソース、ドレインの配線を形成し、また、基板裏面にオーム性接触の電極を形成し、それぞれ、ゲート端子10、ソース端子11、ドレイン端子12、基板電位端子13とした(図19(b))。最後に、作製した素子の動作テストを行い、所望のメモリ動作を行うことを確認した。

【0047】

10

【発明の効果】本発明の半導体装置は、サブ $10\text{nm}$ の物理現象であるクーロン・ブロッケイドを動作原理に用いているため、 $0.1\mu\text{m}$ 以下のスケールで実現することが可能であり、また、量子現象を用いているため極微小信号で動作する。即ち、超高集積、超低消費電力のLSIを実現するための素子に求められる要件を満たしている。

【0048】本発明の製造方法は、クーロン・ブロッケイドに必要な極微小結晶を高精度に形成できる。このため、本発明の半導体装置をはじめ、クーロン・ブロッケイドを用いた極微小信号動作のスイッチング素子、メモリ素子の作製を可能にする。

【図面の簡単な説明】

【図1】本発明の素子の構成を説明する断面図。

【図2】本発明の製造方法の原理の説明図。

【図3】本発明の素子における動作原理の説明図。

【図4】本発明の素子における動作原理の説明図。

【図5】本発明の素子における動作原理の説明図。

【図6】本発明の素子における動作原理の説明図。

20 【図7】本発明の第1の実施例を示す断面図。

【図8】本発明の第1の実施例を示す断面図。

【図9】本発明の第1の実施例を示す断面図。

【図10】本発明の第1の実施例を示す断面図。

【図11】本発明の第2の実施例を示す断面図。

【図12】本発明の第2の実施例を示す断面図。

【図13】本発明の第2の実施例を示す断面図。

【図14】本発明の第3の実施例を示す断面図。

【図15】本発明の第3の実施例を示す断面図。

30 【図16】本発明の製造方法で作製したメモリ素子の構成を示す断面図。

【図17】本発明の第4の実施例を示す断面図。

【図18】本発明の第4の実施例を示す断面図。

【図19】本発明の第4の実施例を示す断面図。

【符号の説明】

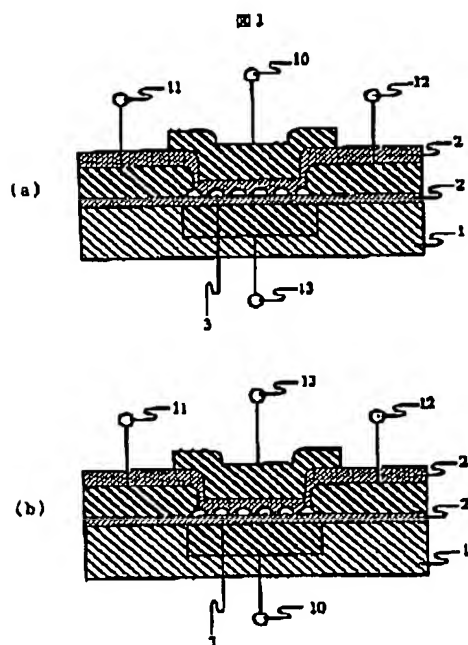
1…Siウェハ、2… $\text{SiO}_2$ 膜、3…半球形Si結晶粒、10…ゲート端子、11…ソース端子、12…ドレイン端子、13…基板電位端子。



(7)

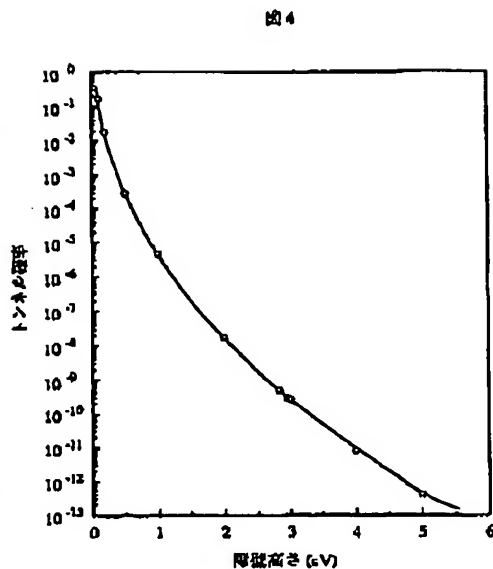
特開平8-78669

【図1】

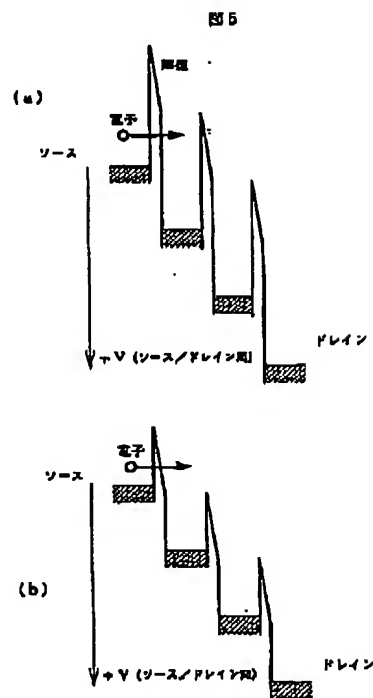


1...Siウエハ 2...SiO<sub>2</sub>膜 3...半球形Si結晶  
 10...ゲート電極 11...ソース電極  
 12...ドレイン電極 13...基板固定端子

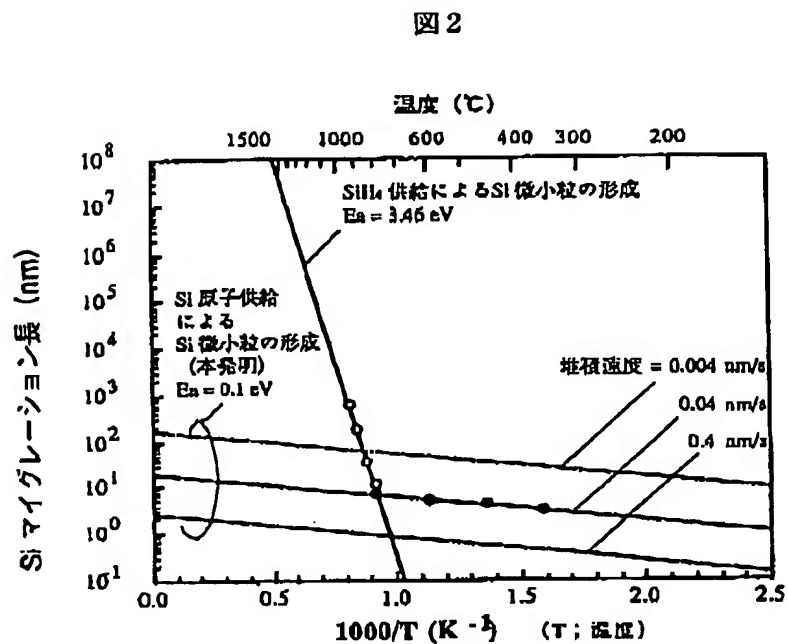
【図4】



【図5】



【図2】

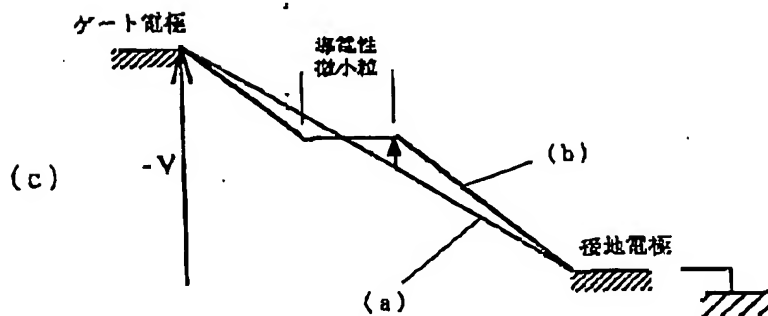
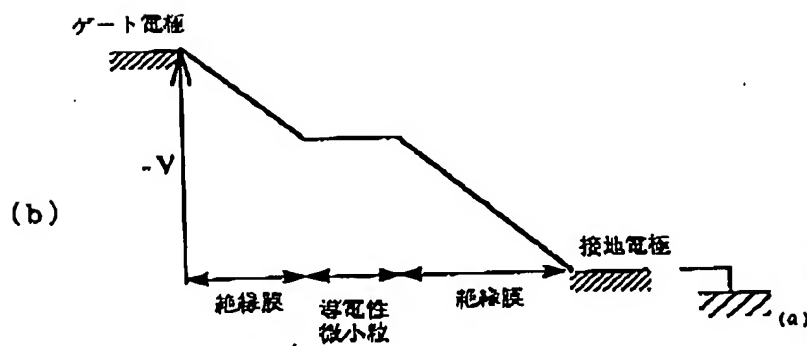
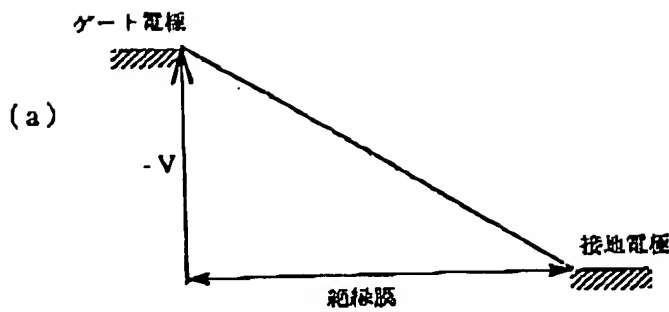


(8)

特開平 8-78669

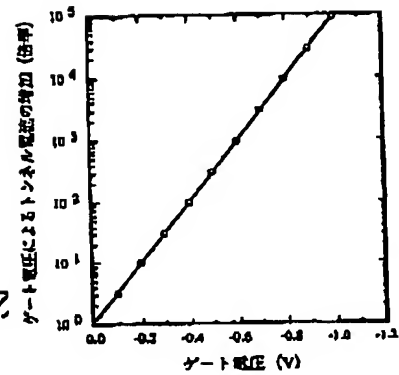
【図 3】

図 3



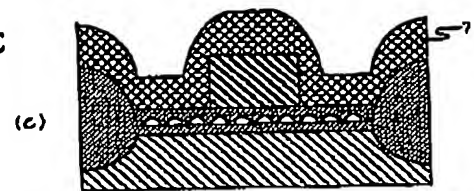
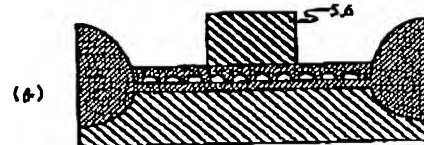
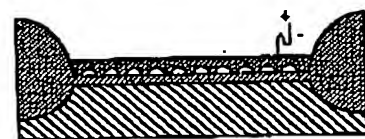
【図 6】

図 6



【図 8】

図 8



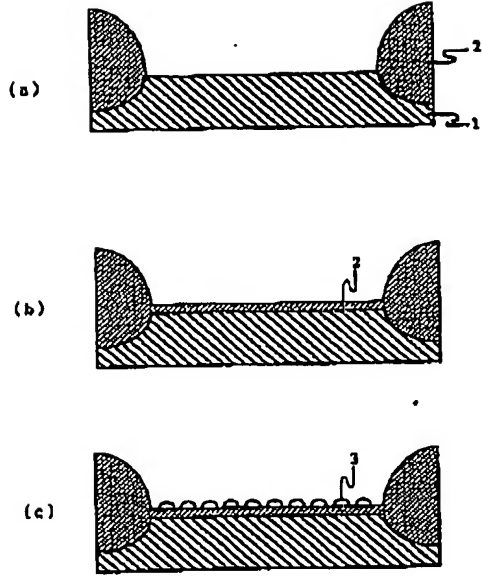
4...ポリシリコン/リン添加ガラス 5...低抵抗多結晶Si  
6...ゲート電極 7...Si<sub>3</sub>N<sub>4</sub>膜

(9)

特開平 8-78669

【図 7】

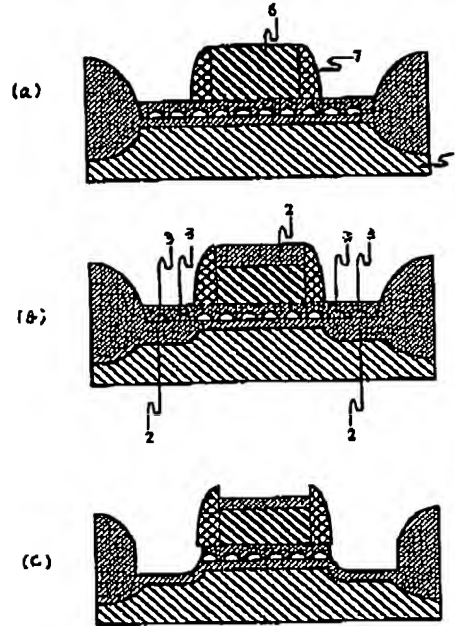
図 7



1...Si基板 2...SiO<sub>2</sub>膜 3...半球形Si結晶粒

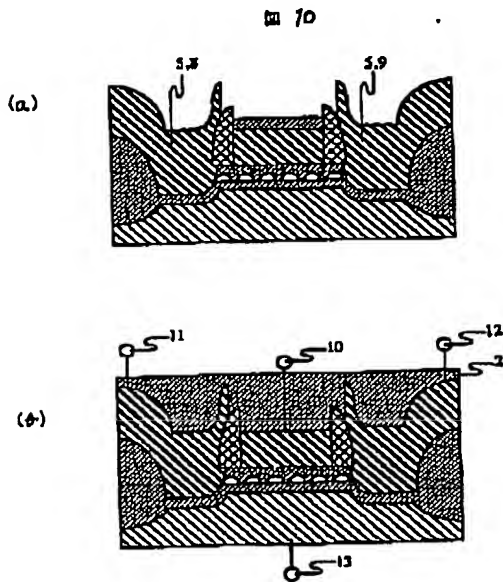
【図 9】

図 9

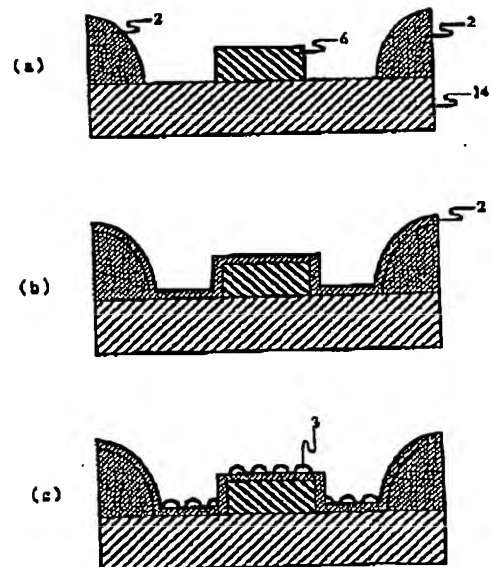


【図 11】

図 11



8...ソース電極 9...ドレイン電極  
10...ゲート電極 11...ソース端子  
12...ドレイン端子 13...基板電位端子



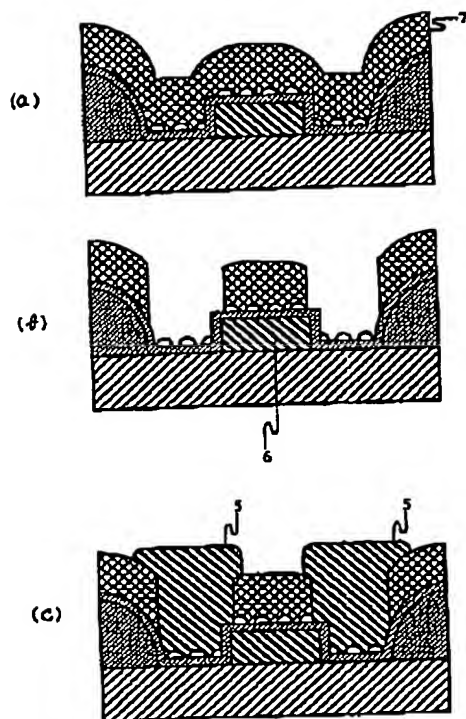
14...石英膜

(10)

特開平 8-78669

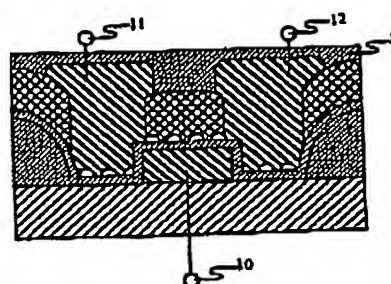
【図 1 2】

図 1 2



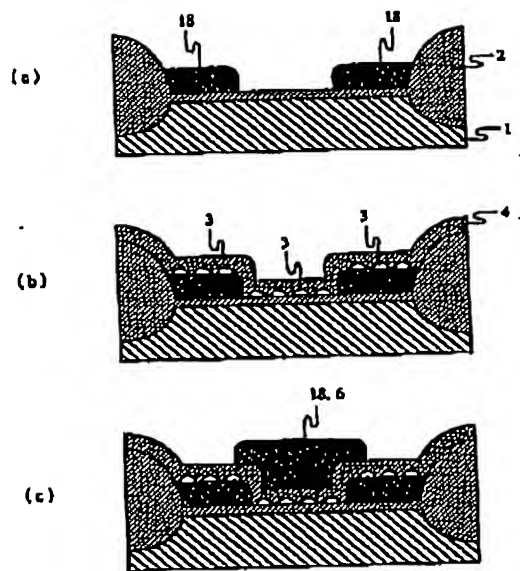
【図 1 3】

図 1 3



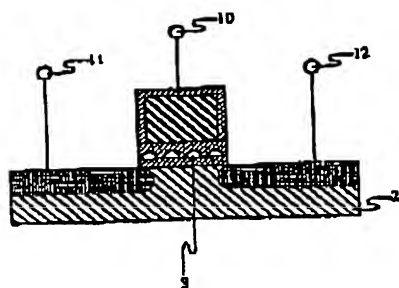
【図 1 4】

図 1 4



【図 1 6】

図 1 6



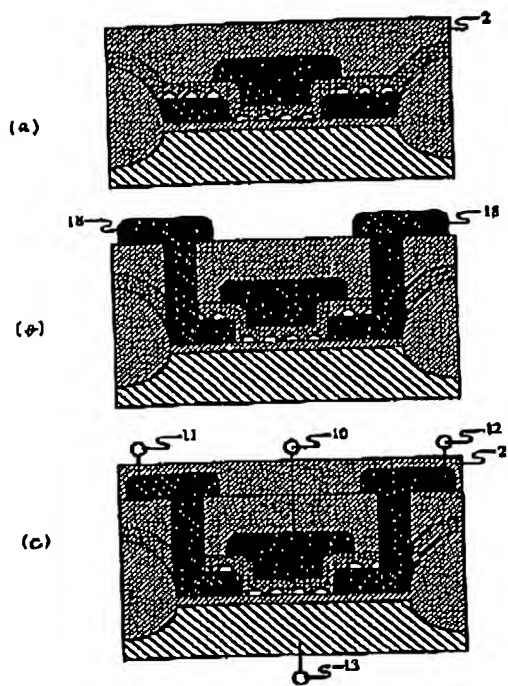
18 ... タングステン

(11)

特開平8-78669

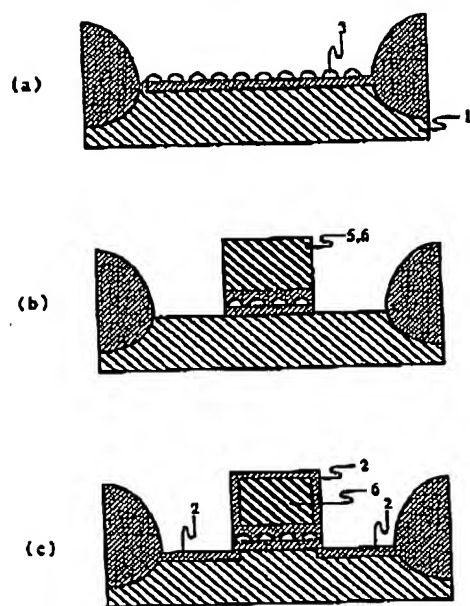
【図15】

図15



【図17】

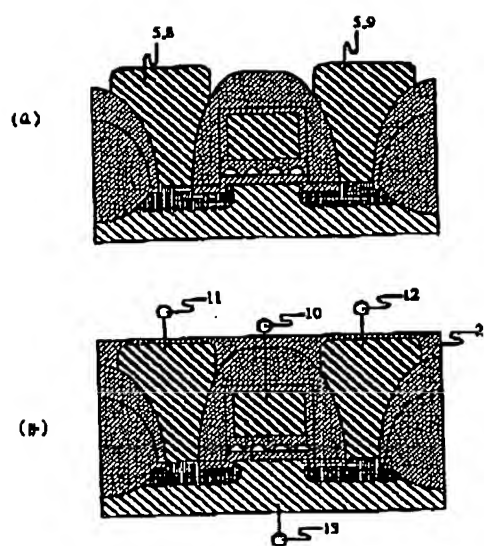
図17



1...Si基板 2...SiO<sub>2</sub>膜 3...半球形Si結晶粒

【図19】

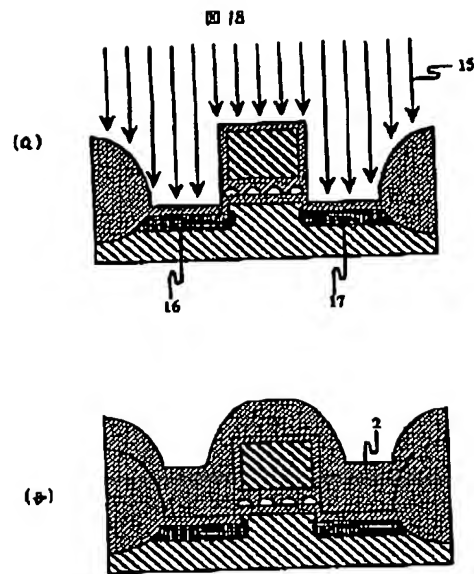
図19



(12)

特開平8-78669

【図18】



15...A・打ち込み 16...ソース領域 17...ドレイン領域

フロントページの続き

(72)発明者 村上 英一  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 清田 幸弘  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 矢野 和男  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内